

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-195972

(43)Date of publication of application : 15.07.1994

(51)Int.Cl.

G11C 11/408

(21)Application number : 04-346746

(71)Applicant : MATSUSHITA ELECTRIC IND
CO LTD

(22)Date of filing :

25.12.1992

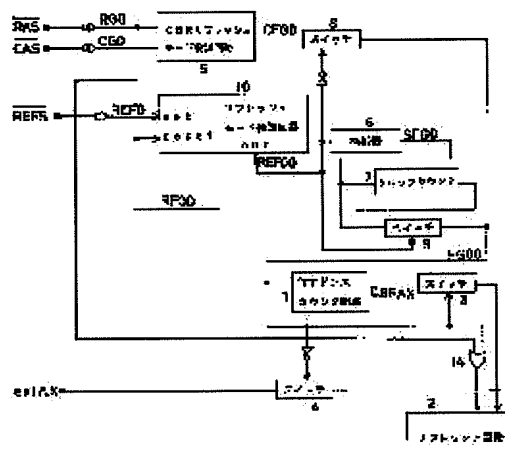
(72)Inventor : SENO MANABU

(54) ADDRESS GENERATING CIRCUIT

(57)Abstract:

PURPOSE: To provide a address generating circuit for semiconductor storage device which refreshes memory cells by generating a clock pulse and an address data signal in a DRAM in response to a refresh strobe signal input at the time of operation of a system.

CONSTITUTION: When H levels are inputted to the inverse of RAS and the inverse of CAS and a negative pulse signal is inputted to the inverse of REFS, a signal REF00 is set to the H level, and an oscillator 6 starts the operation, and a signal SFG0 is oscillated. A switch 9 is turned on, and the signal SFG0 is outputted in a signal FG00. The address data signal, is generated by a row address counter 1 and is inputted to a refresh circuit 2 of memory cells. The signal FG00 is inputted as a refresh signal to perform the refresh operation. A counter circuit 7 accumulates the frequency in oscillation of the signal SFG0; and when oscillation is made by the number of row addresses of memory cells, a reset signal RFG0 is set to the H level to reset a refresh mode detecting circuit 10.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-195972

(43)公開日 平成6年(1994)7月15日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

G 1 1 C 11/408

6866-5L

G 1 1 C 11/ 34

3 5 4 G

審査請求 未請求 請求項の数2(全 8 頁)

(21)出願番号

特願平4-346746

(22)出願日

平成4年(1992)12月25日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 瀬能 学

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

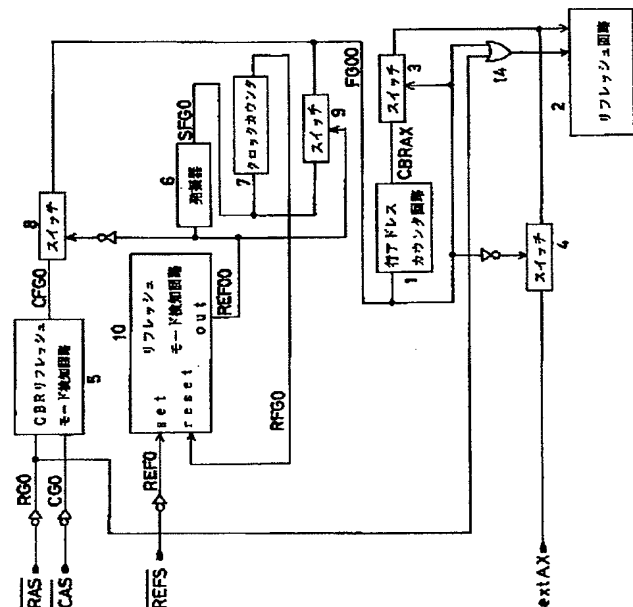
(74)代理人 弁理士 宮井 暎夫

(54)【発明の名称】 アドレス発生回路

(57)【要約】

【目的】 システムの動作時に、リフレッシュストローブ信号入力にตอบสนองしてクロックパルスとアドレスデータ信号とをDRAM内部で発生することにより、メモリセルをリフレッシュする半導体記憶装置のアドレス発生回路を提供する。

【構成】 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ がHレベル、 $\overline{\text{REFS}}$ には負のパルス信号が入力された時、REF00がHレベルにセットされ、発振器6が動作を開始し、SFG0が発振する。スイッチ9はオンとなり、FG00にはSFG0が出力される。アドレスデータ信号は行アドレスカウンタ1により発生され、メモリセルのリフレッシュ回路2に入力される。また、リフレッシュ信号としてはFG00が入力され、リフレッシュ動作を行う。カウンタ回路7はSFG0の発振回数を加算していき、メモリセルの行アドレスの数だけ発振するとリセット信号RFG0をHレベルにしてリフレッシュモード検知回路10をリセットする。



【特許請求の範囲】

【請求項1】 リフレッシュモード設定用のリフレッシュストロブ信号にตอบสนองしてセットされるリフレッシュモード検知回路と、このリフレッシュモード検知回路のセット出力にตอบสนองしてクロックパルスを発生する発振器と、この発振器から発生するクロックパルスをカウントしそのカウント値が所定値に達したときに前記リフレッシュモード検知回路に対してリセット信号を供給するクロックカウンタと、前記発振器から発生するクロックパルスをカウントすることによりリフレッシュ用のアドレスデータ信号を発生するアドレスカウンタと、このアドレスカウンタから発生するアドレスデータ信号に対応するメモリセルを前記発振器のクロックパルスによりリフレッシュするリフレッシュ回路とを備えたアドレス発生回路。

【請求項2】 リフレッシュモード検知回路でリフレッシュストロブ信号の入力回数を計数し、前記リフレッシュストロブ信号の入力回数に応じて変化する前記リフレッシュモード検知回路の出力によって発振器からクロックカウンタおよびアドレスカウンタへ供給するクロックパルスの周波数を切り替えるようにした請求項1記載のアドレス発生回路。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 この発明は、リフレッシュ動作を必要とするダイナミック型半導体記憶装置においてリフレッシュ用のアドレスを発生するアドレス発生回路に関するものである。

【0002】

【従来の技術】 近年、パーソナルコンピュータや、ファクシミリ装置などの小型化が進展しており、高集積化に有利な1トランジスタ型のダイナミックランダムアクセスメモリ（以下DRAMと称す）は実装面積あたりの容量が大きいため、様々な用途に使われるようになってきている。このような用途の拡大に伴って、高速動作が要求される分野、データ保持時間が長いことが要求される分野など幅広い需要に対応できる多機能なDRAMが求められている。

【0003】 以下に従来の半導体記憶装置においてリフレッシュ用のアドレスを発生するアドレス発生回路について説明する。図7は従来の半導体記憶装置のアドレス発生回路の構成を示す概念図、図8は図7における各ノードおよび各クロックパルスの波形を模式的に示したタイミング図である。図7において、5は/CASビフォア/RAS（以下CBRと称す、/は反転信号を示す）リフレッシュモード検知回路である。1は行アドレスカウンタ回路である。2はクロックパルス入力時に入力されているアドレスデータ信号のメモリセルをクロックパルスによってリフレッシュするリフレッシュ回路である。3は出力ノードFG0がHレベル（電源電圧 V_{CC} ）

の時オンとなり、出力ノードFG0がLレベル（0V）の時オフとなるスイッチである。4は出力ノードFG0がLレベルの時オンとなり、出力ノードFG0がHレベルの時オフとなるスイッチである。

【0004】 /RASおよび/CASはそれぞれ外部から入力されるロウアドレスストロブ信号およびコラムアドレスストロブ信号である。RG0およびCG0はそれぞれロウアドレスストロブ信号/RASおよびコラムアドレスストロブ信号/CASに対応する内部信号である。FG0は前記したようにCBRリフレッシュモード検知回路5の出力ノードである。ext AXは外部から入力される行アドレスデータ信号である。CBRAXは行アドレスカウンタ回路1が発生する行アドレスデータ信号である。

【0005】 このように構成された半導体記憶装置のアドレス発生回路について、以下図8を参照しながらその動作を説明する。ロウアドレスストロブ信号/RASおよびコラムアドレスストロブ信号/CASがともにHレベルであるとする。この時、CBRリフレッシュモード検知回路5の出力ノードFG0はLレベルであるので、スイッチ4がオン、スイッチ3がオフとなり、メモリセルのリフレッシュ回路2には行アドレスデータとして行アドレスデータ信号ext AXが入力される。

【0006】 ロウアドレスストロブ信号/RASがLレベルになると、内部信号RG0がHレベルとなり、リフレッシュ回路2が動作して行アドレスデータ信号ext AXの行アドレスのメモリセルがリフレッシュされる。つぎに、CBRリフレッシュモードについて説明する。ロウアドレスストロブ信号/RASおよびコラムアドレスストロブ信号/CASがともにHレベルである時、ロウアドレスストロブ信号/CASをLレベルにすると、内部信号CG0がHレベルとなる。この時、ロウアドレスストロブ信号/RASをLレベルにすることにより、CBRリフレッシュモード検知回路5が起動し、出力ノードFG0がHレベルになる。この結果、スイッチ3がオン、スイッチ4がオフとなり、メモリセルのリフレッシュ回路2には行アドレスデータとして行アドレスデータ信号CBRAXが入力され、行アドレスデータ信号CBRAXの行アドレスのメモリセルがリフレッシュされる。

【0007】 ここで、ロウアドレスストロブ信号/RASをHレベルにし、再びLレベルにすることにより、内部信号RG0と出力ノードFG0とがLレベルになった後Hレベルとなり、行アドレスカウンタ回路1が動作して行アドレスデータは歩進され（1だけ増加し）、歩進された行アドレスのメモリセルがリフレッシュされる。行アドレスの数だけロウアドレスストロブ信号/RASを上下させることを繰り返すことにより、すべてのメモリセルがリフレッシュされる。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来の構成では、メモリセルをリフレッシュする時に行アドレスの数だけロウアドレスストロブ信号／RASを上下させることを繰り返す必要があるため、DRAM外部にクロックパルス発生回路を備える必要があり、DRAM外部の動作回路が複雑になるという問題があった。

【0009】これに対処するため、非動作時にDRAM内部で自動的にメモリセルをリフレッシュするモードを備えたDRAMが商品化されているが、消費電力を低減するためにリフレッシュモード時にはDRAM内部が低速で動作するため、非動作時にしか使用できず、動作時にはDRAM外部のクロックパルス発生回路を使用することになる。

【0010】この発明は、上記従来の問題点を解決するもので、システムの動作時にメモリセルをリフレッシュする際にリフレッシュのためのクロックパルスとアドレスデータ信号とをDRAM内部で発生することができ、DRAM外部のリフレッシュ用動作回路を簡素化することができるアドレス発生回路を提供することを目的とする。

【0011】

【課題を解決するための手段】請求項1記載のアドレス発生回路は、リフレッシュモード設定用のリフレッシュストロブ信号にตอบสนองしてセットされるリフレッシュモード検知回路と、このリフレッシュモード検知回路のセット出力にตอบสนองしてクロックパルスを発生する発振器と、この発振器から発生するクロックパルスをカウントしそのカウント値が所定値に達したときに前記リフレッシュモード検知回路に対してリセット信号を供給するクロックカウンタと、前記発振器から発生するクロックパルスをカウントすることによりリフレッシュ用のアドレスデータ信号を発生するアドレスカウンタと、このアドレスカウンタから発生するアドレスデータ信号に対応するメモリセルを前記発振器のクロックパルスによりリフレッシュするリフレッシュ回路とを備えている。

【0012】請求項2記載のアドレス発生回路は、請求項1の構成において、リフレッシュモード検知回路でリフレッシュストロブ信号の入力回数を計数し、前記リフレッシュストロブ信号の入力回数に応じて変化する前記リフレッシュモード検知回路の出力によって発振器からクロックカウンタおよびアドレスカウンタへ供給するクロックパルスの周波数を切り替えるようにしたものである。

【0013】

【作用】この発明のアドレス発生回路によれば、行アドレスのリフレッシュ用のクロックパルスとリフレッシュを行う行アドレスを指定する行アドレスデータ信号とをDRAM内部で発生することができる。これによりDRAM外部でのリフレッシュのためのクロックパルスは不要となり、DRAM外部のリフレッシュ用動作回路は簡

素化される。

【0014】

【実施例】以下にこの発明の実施例の半導体記憶装置のアドレス発生回路について説明する。

〔第1の実施例〕図1にこの発明の第1の実施例の半導体記憶装置のアドレス発生回路の概念図を示す。図2は図1における各ノードおよび各クロックパルスの波形を模式的に示したタイミング図である。

【0015】図1において、5はCBRリフレッシュモード検知回路である。1は行アドレスカウンタ回路である。2はメモリセルのリフレッシュ回路である。3は出力ノードFG00がHレベルの時オンとなり、出力ノードFG00がLレベルの時オフとなるスイッチである。4は出力ノードFG00がLレベルの時オンとなり、出力ノードFG00がHレベルの時オフとなるスイッチである。

【0016】6は入力Hレベルの時動作してクロックパルスを発生する発振器である。7は発振器6が発生するクロックパルスをカウントするクロックカウンタである。10はこの発明が実現しようとするリフレッシュモード検知回路である。8はリフレッシュモード検知回路10の出力信号REF00がLレベルの時オンとなり、Hレベルの時オフとなるスイッチである。9はリフレッシュモード検知回路10の出力信号REF00がHレベルの時オンとなり、Lレベルの時オフとなるスイッチである。

【0017】／RASおよび／CASはそれぞれ外部から入力されるロウアドレスストロブ信号およびコラムアドレスストロブ信号である。／REFSは外部から入力されるリフレッシュモード設定のためのリフレッシュストロブ信号である。RG0、CG0およびREF0はそれぞれロウアドレスストロブ信号／RAS、コラムアドレスストロブ信号／CASおよびリフレッシュストロブ信号／REFSに対応する内部信号である。

【0018】FG00はCBRリフレッシュモードとこの発明が実現しようとするリフレッシュモードの両方において動作するクロックパルスの出力ノードである。CFG0はCBRリフレッシュモード検知回路5の出力ノードである。SFG0は発振器6の出力信号である。REF00はリフレッシュモード検知回路10の出力信号である。RFG0はリフレッシュモードを解除するリセット信号であり、クロックカウンタ7から出力される。ext AXは外部から入力される行アドレスデータ信号である。CBRAXは行アドレスカウンタ回路1が発生する行アドレスデータ信号である。

【0019】また、リフレッシュモード検知回路10の概念図を図3に示す。図3において、31は遅延回路、32、33はノット回路、34はNAND回路、35、36はNOR回路である。このように構成された図1の

半導体記憶装置のアドレス発生回路について、図2を参照しながらその動作を説明する。

【0020】ロウアドレスストロブ信号／RASおよびコラムアドレスストロブ信号／CASがともにHレベル、リフレッシュストロブ信号／REFSには負のパルス信号が入力されたとする。この時、内部信号REF00が動作することにより、リフレッシュモード検知回路10の出力信号REF00がHレベルにセットされ、発振器6が動作を開始して出力信号SFG0がH、Lを繰り返す。つまり、発振器6からクロックパルスが発生する。

【0021】この時、内部信号REF00はHレベルであることより、スイッチ9はオンとなり、出力ノードFG00には発振器6の出力信号SFG0が出力される。したがって、行アドレスカウンタ1のクロックパルスとしては出力ノードFG00が入力されることよりアドレスデータ信号は行アドレスカウンタ1により発生され、メモリセルのリフレッシュ回路2に入力される。また、リフレッシュ信号としてはOR回路14により出力ノードFG00が入力され、リフレッシュ動作を行う。

【0022】クロックカウンタ7は発振器6の出力信号SFG0の発振回数を累算していき、メモリセルの行アドレスの数だけ発振するとリセット信号RFG0をHレベルにしてリフレッシュモード検知回路10をリセットする。この時、発振器6をリフレッシュに必要な最小時間で高速に動作させることによってすべてのメモリセルが短時間でリフレッシュされる。

【0023】さらに、リフレッシュストロブ信号／REFSがHレベルである限りは、リフレッシュモード検知回路10が動作せず、従来のロウアドレスストロブ信号／RASおよびコラムアドレスストロブ信号／CASの入力によるリフレッシュ制御ができる。

〔第2の実施例〕図4にこの発明の第2の実施例の半導体記憶装置のアドレス発生回路の概念図を示す。図5は図4における各ノードおよび各クロックパルスの波形を模式的に示したタイミング図である。

【0024】図4において、5はCBRリフレッシュモード検知回路である。1は行アドレスカウンタ回路である。2はメモリセルのリフレッシュ回路である。3は出力ノードFG00がHレベルの時オンとなり、出力ノードFG00がLレベルの時オフとなるスイッチである。4は出力ノードFG00がLレベルの時オンとなり、出力ノードFG00がHレベルの時オフとなるスイッチである。

【0025】20はこの発明が実現しようとするリフレッシュモード検知回路である。6は入力Hレベルの時動作してクロックパルスを発生する発振器である。7は発振器6が発生するクロックパルスをカウントするクロックカウンタである。8はリフレッシュモード検知回路20の出力信号REF00がLレベルの時オンとなり、

Hレベルの時オフとなるスイッチである。9はリフレッシュモード検知回路20の出力信号REF00がHレベルの時オンとなり、Lレベルの時オフとなるスイッチである。

【0026】11はクロックパルスを2分周する分周器である。12はリフレッシュモード検知回路20の出力（リフレッシュ周波数切り替え信号）LPoutがHレベルの時オンとなり、Lレベルの時オフとなるスイッチである。13はリフレッシュモード検知回路20の出力LPoutがLレベルの時オンとなり、Hレベルの時オフとなるスイッチである。

【0027】／RAS、／CASは、それぞれ先に述べたように外部から入力されるロウアドレスストロブ信号およびコラムアドレスストロブ信号である。／REFSは外部から入力されるリフレッシュモード設定のためのリフレッシュストロブ信号である。RG0、CG0およびREF0はそれぞれロウアドレスストロブ信号／RAS、コラムアドレスストロブ信号／CASおよびリフレッシュストロブ信号／REFSに対応する内部信号である。

【0028】FG00はCBRリフレッシュモードとこの発明が実現しようとするリフレッシュモードの両方において動作するクロックパルスの出力ノードである。CFG0はCBRリフレッシュモード検知回路5の出力ノードである。SFG0は発振器6または分周器11の出力信号である。REF00はリフレッシュモード検知回路20の出力信号である。RFG0はリフレッシュモードを解除するリセット信号であり、クロックカウンタ7から出力される。LPoutは先に述べたように、リフレッシュモード検知回路20の出力で、リフレッシュ周波数切り替え信号である。ext AXは外部から入力される行アドレスデータ信号である。CBRAXは行アドレスカウンタ回路1が発生する行アドレスデータ信号である。

【0029】また、図6は図4におけるリフレッシュモード検知回路20の概念図である。図6において、31は遅延回路、32、33はノット回路、34はNAND回路、35、36はNOR回路である。また、37、38はノア回路、39はNAND回路、40はノット回路である。以下に図5を参照しながら図4の半導体記憶装置のアドレス発生回路の動作について説明する。

【0030】ロウアドレスストロブ信号／RASおよびコラムアドレスストロブ信号／CASがともにHレベルの時、リフレッシュストロブ信号／REFSに負のパルスが入力されることにより、発振器6が動作して図1の回路と同様にリフレッシュを始める。出力信号REF00がリセット信号RFG0によりリセットされる前にもう一度リフレッシュストロブ信号／REFSとして負のパルスが入力されると、出力LPoutがHレベルとなり、出力信号SFG00は発振器6の出力が分周

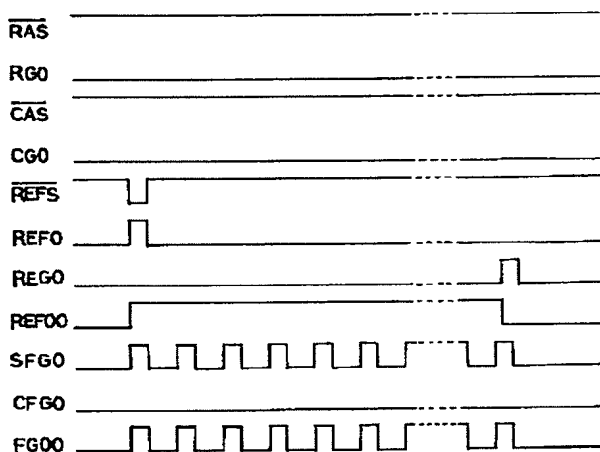
された信号となる。この時、DRAM内部で発生されるクロックの周波数は2回目のリフレッシュストローブ信号の入力前に比して1/2であり、リフレッシュに要する電流を半減できる。

【0031】逆に、リフレッシュ回路2が同時に複数のアドレスのメモリセルをリフレッシュする構成にすれば、全メモリセルのリフレッシュ時間が半減できる。なお、この実施例ではリフレッシュモード検知回路20のリセット信号のために信号SFG0を用いたが、スイッチ9がオン状態のときには行アドレスカウンタ1とクロックカウンタ7の入力信号は共通であり、リフレッシュモード検知回路20のリセット信号としてCBRAXを用いることにより、行アドレスカウンタ1とクロックカウンタ7が共用できるため、この実施例より少ない回路で実現可能である。

【0032】

【発明の効果】この発明のアドレス発生回路によれば、DRAMに外部からリフレッシュストローブ信号を与えることによって内部の発振器が発振を開始させ、発振器のクロックパルスに基づいて行アドレスデータ信号を作成するとともに、クロックパルスによって行アドレスデータ信号に対応したメモリセルのリフレッシュを行うことができ、全てのメモリセルのリフレッシュが終わると再び通常の待機状態にもどって外部からのリフレッシュストローブ信号による制御を受け付けることで、システムの動作時にDRAM外部でリフレッシュのためのクロックパルスやアドレスデータを必要としないため、外部回路の構成を簡単にすることができる。

【図2】



【図面の簡単な説明】

【図1】この発明の第1の実施例の半導体記憶装置のアドレス発生回路の概念図である。

【図2】図1の各信号のタイミング図である。

【図3】図1のリフレッシュモード検知回路の概念図である。

【図4】この発明の第2の実施例の半導体記憶装置のアドレス発生回路の概念図である。

【図5】図4の各信号のタイミング図である。

【図6】図4のリフレッシュモード検知回路の概念図である。

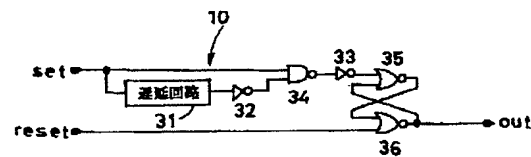
【図7】従来の半導体記憶装置のアドレス発生回路の概念図である。

【図8】図7の各信号のタイミング図である。

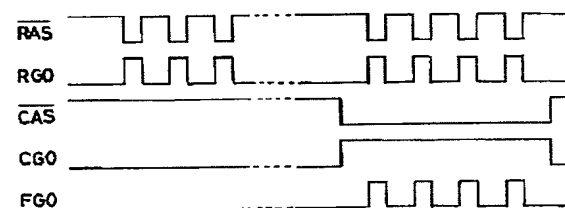
【符号の説明】

- 1 行アドレスカウンタ
- 2 リフレッシュ回路
- 3 スイッチ
- 6 発振器
- 7 クロックカウンタ
- 8 スイッチ
- 9 スイッチ
- 10 リフレッシュモード検知回路
- 11 分周器
- 12 スイッチ
- 13 スイッチ
- 20 リフレッシュモード検知回路

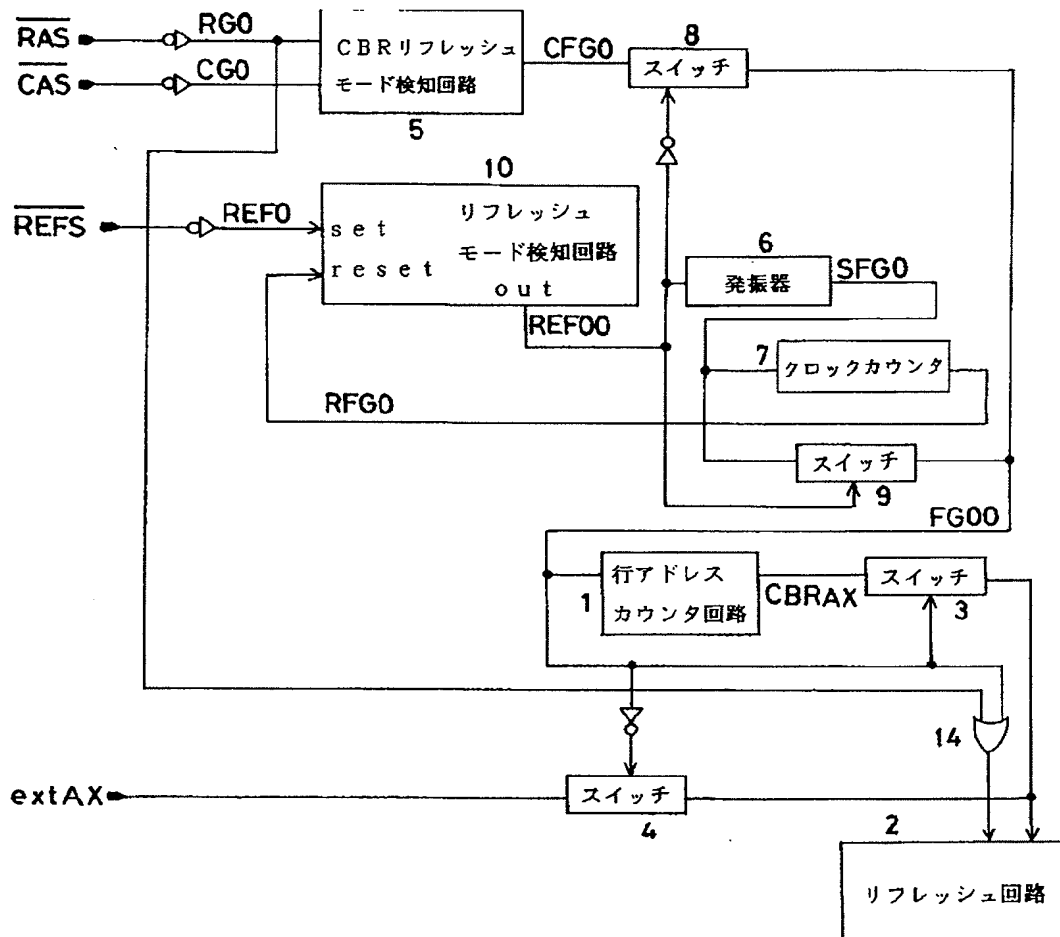
【図3】



【図8】



【図 1】



【図 5】

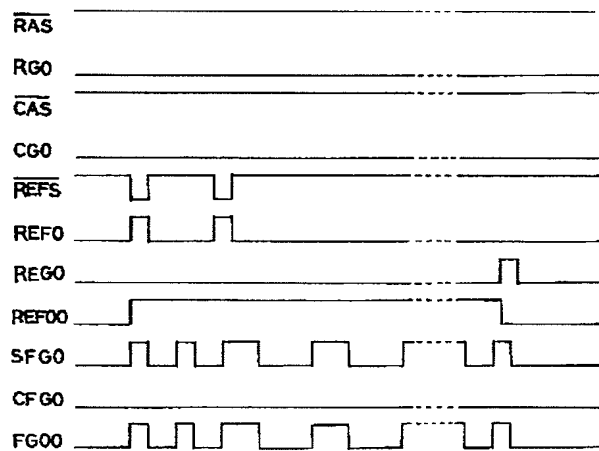


Figure 1 is a block diagram of the refresh control circuit. It shows the following components and connections:

- Inputs:** RAS, CAS, REFS, and extAX.
- Internal Blocks:**
 - 5:** CBRリフレッシュモード検知回路 (CBR Refresh Mode Detection Circuit). Receives RAS and CAS signals via inverters RG0 and CG0. Outputs CFG0.
 - 20:** リフレッシュモード検知回路 (Refresh Mode Detection Circuit). Receives REFS via inverter REFO. Outputs REF00.
 - 1:** 行アドレスカウンタ回路 (Row Address Counter Circuit). Receives REF00 and extAX via inverter 4. Outputs CBRAX.
 - 7:** クロックカウンタ (Clock Counter). Receives REF00 via inverter 6. Outputs SFG0.
 - 11:** 分周器 (Divider). Receives SFG0 via inverter 8. Outputs to switch 13.
 - 12:** 発振器 (Oscillator). Receives SFG0 via inverter 12. Outputs to switch 13.
 - 13:** スイッチ (Switch). Receives inputs from 11 and 12. Outputs to switch 9.
 - 9:** スイッチ (Switch). Receives SFG0 and input from 13. Outputs FG00.
 - 14:** OR gate. Receives inputs from CBRAX and extAX via inverter 2.
- Signals:**
 - CFG0:** Output of block 5, input to switch 8.
 - REF00:** Output of block 20, input to block 1 and 7.
 - CBRAX:** Output of block 1, input to switch 3 and OR gate 14.
 - SFG0:** Output of block 7, input to block 11 and 12.
 - FG00:** Output of block 9, input to switch 8.

【図7】

